

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-288797

(43)Date of publication of application : 27.10.1998

(51)Int.Cl.

G02F 1/136
G02F 1/1343
H01L 29/786

(21)Application number : 09-113549

(71)Applicant : SEMICONDUCTOR ENERGY
LAB CO LTD

(22)Date of filing : 15.04.1997

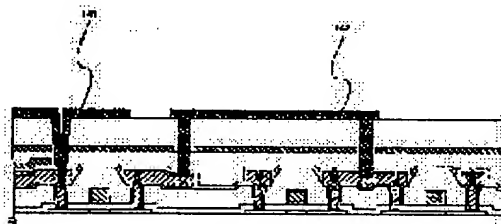
(72)Inventor : YAMAZAKI SHUNPEI
OTANI HISASHI
KOYAMA JUN
TERAMOTO SATOSHI

(54) REFLECTION TYPE LIQUID CRYSTAL PANEL AND DEVICE USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To make a multilevel connection to be needed in a peripheral driving circuit more simple by forming wirings of the peripheral circuit with the same material as that of reflection pixel electrodes.

SOLUTION: Wirings 142 of a peripheral circuit are formed simultaneously with the forming of reflection electrodes 141 to be arranged in a pixel matrix. As a result, since wirings constituting the peripheral circuit are formed without providing an other process, the producing process and the constitution of the multilevel wiring are simplified. Whether the electrodes 141 and the wirings 142 are simultaneously formed or not is judged by whether the electrodes 141 and the wirings 142 exist on the same layers or not by photographing the electron microscopic picture of the cross section of the multilevel connection and, moreover, measuring whether materials of them are the same material or not by an impurity measurement or the like. As the material constituting the reflection electrodes 141, material having high reflectance and low resistance like aluminum is preferable. Furthermore, in the case of an XGA specification, since the operating speed of $1024 \times 768 \times 60 = 47$ MHz is required in the circuit of a horizontal scanning side, it is preferable to adopt material having low resistance as much as possible as the material to be used in the wirings 142 constituting the peripheral driving circuit.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-288797

(43) 公開日 平成10年(1998)10月27日

(51) Int.Cl.⁸

G 0 2 F 1/136
1/1343

H 0 1 L 29/786

識別記号

5 0 0

F I

G 0 2 F 1/136
1/1343

H 0 1 L 29/78

5 0 0

6 1 2 B

審査請求 未請求 請求項の数 4 F D (全 10 頁)

(21) 出願番号

特願平9-113549

(22) 出願日

平成9年(1997)4月15日

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 大谷 久

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

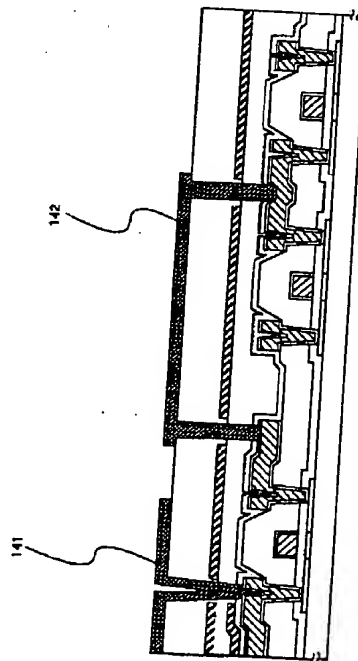
最終頁に続く

(54) 【発明の名称】 反射型液晶パネル及び反射型液晶パネルを用いた装置

(57) 【要約】

【課題】 液晶パネルの構造において、配線を簡略化する。

【解決手段】 周辺駆動回路を一体化したアクティブマトリクス型の反射型液晶パネルにおいて、画素電極142の同時に形成される金属配線を周辺駆動回路の配線141として形成する。こうすることで、作製工程を特に複雑化せず、また構造を複雑にしないものとする事ができる。



【特許請求の範囲】

【請求項1】 アクティブマトリクス回路と、

前記アクティブマトリクス回路を駆動する回路を少なくとも含んだ周辺回路と、

が同一基板上に薄膜トランジスタでもって構成された構造を有し、

前記アクティブマトリクス回路にはマトリクス状に配置された反射画素電極が配置され、

前記反射画素電極と同一の材料でもって前記周辺回路の配線が形成されていることを特徴とする反射型液晶パネル。

【請求項2】 アクティブマトリクス回路と、

前記アクティブマトリクス回路を駆動する回路を少なくとも含んだ周辺回路と、

が同一基板上に薄膜トランジスタでもって構成された構造を有し、

前記アクティブマトリクス回路にはマトリクス状に配置された反射画素電極が配置され、

前記反射画素電極と同一の工程でもって前記周辺回路の配線が形成されていることを特徴とする反射型液晶パネル。

【請求項3】 アクティブマトリクス回路と、

前記アクティブマトリクス回路を駆動する回路を少なくとも含んだ周辺回路と、

が同一基板上に薄膜トランジスタでもって構成された構造を有した液晶パネルを備えた装置であって、

前記アクティブマトリクス回路にはマトリクス状に配置された反射画素電極が配置され、

前記反射画素電極と同一の材料でもって前記周辺回路の配線が形成されていることを特徴とする反射型液晶パネルを備えた装置。

【請求項4】 アクティブマトリクス回路と、

前記アクティブマトリクス回路を駆動する回路を少なくとも含んだ周辺回路と、

が同一基板上に薄膜トランジスタでもって構成された構造を有した液晶パネルを備えた装置であって、

前記アクティブマトリクス回路にはマトリクス状に配置された反射画素電極が配置され、

前記反射画素電極と同一の工程でもって前記周辺回路の配線が形成されていることを特徴とする反射型液晶パネルを備えた装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本明細書で開示する発明は、周辺駆動回路を一体化した反射型の液晶表示装置の構成に関する。

【0002】

【従来の技術】 TFTを各画素に配置したアクティブマトリクス回路と該回路を駆動する周辺駆動回路とを同一基板上に集積化した構造が知られている。この構成は、

周辺駆動回路一体型のアクティブマトリクスディスプレイと称されている。

【0003】 これまでは、周辺駆動回路として、主にシフトレジスタに代表される回路とアクティブマトリクス回路に信号を供給するためのバンパー回路とで構成されるものが一般的であった。

【0004】 しかし、今後の技術トレンドとして、画像情報や各種タイミング信号等を扱える回路（従来は外付けICで構成されていた）をもTFTでもって構成し、周辺駆動回路としてアクティブマトリクス回路と同一基板上に集積化する傾向が進むと考えられている。

【0005】 アクティブマトリクス回路は、基本的にソース線とゲート線とが格子状に配置され、その交差付近にTFTを配置する構造を有している。

【0006】 他方周辺駆動回路は、CMOS回路を基本にするとはいえ、今後益々複雑な回路構成となることが予想される。

【0007】 このような構成においては、占有面積を小さくするためにも多層配線を用いることが必要とされる。

【0008】 しかし、多層配線を形成するために層を新たに形成することは、作製工程が複雑化する点で問題がある。

【0009】

【発明が解決しようとする課題】 本明細書で開示する発明は、アクティブマトリクス回路と周辺駆動回路とを一体化構造において、周辺駆動回路に必要とされる多層配線をより簡便に実現する構成を提供することを課題とする。

【0010】

【課題を解決するための手段】 本明細書で開示する発明は、反射型の液晶表示装置に着目したものである。反射型の液晶表示装置は、反射電極として金属電極が利用される。例えば、アルミニウムを主成分としたような材料が利用される。

【0011】 本明細書で開示する発明は、この反射電極の材質に着目したものである。即ち、画素電極を構成する材料でもって、画素電極の形成と同時に周辺駆動回路に配置される配線を構成する。

【0012】 こうすることで、作製工程特に増やさずに（パターンは複雑化する）周辺駆動回路に必要とされる多層配線を構成することができる。

【0013】 反射電極は、アルミニウム等の低抵抗材料で構成することができるので、周辺駆動回路の配線を構成するには好適である。

【0014】 なお、透過型の液晶表示装置においては、ITO等の比較的高抵抗を有する材料を画素電極に利用するので、本明細書で開示する発明を利用することは好ましくない。

【0015】 また、本明細書における周辺駆動回路に範

層には、シフトレジスタ回路やバッファ回路等の直接アクティブマトリクス回路を駆動する回路以外に各種タイミング信号を発生する回路や画像情報を取り扱い回路、さらに各種メモリ回路や演算回路等が含まれる。

【0016】本明細書で開示する発明の一つは、アクティブマトリクス回路と、前記アクティブマトリクス回路を駆動する回路を少なくとも含んだ周辺回路と、が同一基板上に薄膜トランジスタでもって構成された構造を有し、前記アクティブマトリクス回路にはマトリクス状に配置された反射画素電極が配置され、前記反射画素電極と同一の材料でもって前記周辺回路の配線が形成されていることを特徴とする。

【0017】上記構成において、アクティブマトリクス回路というのは、格子状に配置されたソース線とゲート線の交点付近にそれぞれ薄膜トランジスタを配置し、この薄膜トランジスタのドレインを画素電極に配置した構造を挙げることができる。

【0018】周辺回路としては、シフトレジスタ回路とアナログスイッチ、さらにバッファ等で構成される普通言われる周辺駆動回路、さらにそれに加えて発振回路や画像情報を扱う回路、メモリ回路等を備えた回路を挙げることができる。

【0019】今後の技術動向としては、上記周辺回路にさらに色々な機能を持たせたものが必要とされと考えられる。従って、本明細書における周辺回路には、単にアクティブマトリクス回路を駆動する回路のみではなく、システムオンパネルと称されるような多用な機能を有した回路をも含まれる。

【0020】薄膜トランジスタの形式としては、トップゲート型、ボトムゲート型、また等価的に多数のTFTを直列に接続したマルチゲート型のもの等を利用することができる。

【0021】反射電極を構成する材料としては、アルミニウムに代表されるような高反射率を有し、しかも低抵抗を有する材料を用いることが好ましい。

【0022】例えば、VGA規格(640画素×480画素)の場合、水平走査側(ソース線側の周辺駆動回路側)の回路には、1秒間に60回画面を書き換えるとして、 $640 \times 480 \times 60 = 18.5\text{MHz}$ の動作速度が要求される。

【0023】また、XGA規格(1024画素×768画素)の場合は、 $1024 \times 768 \times 60 = 47\text{MHz}$ の動作速度が要求される。

【0024】このような場合は、周辺駆動回路を構成する配線には極力低抵抗なものを採用することが好ましい。よって、このような場合は、本明細書に開示する発明は極めて有用なものとなる。

【0025】反射画素電極と同一の材料でもって周辺回路の配線が形成されているというのは、図6にその具体的な例を示すように、画素電極141を構成する際に、

同一材料でもって周辺回路の配線142を形成することをいう。

【0026】これは、画素電極141を形成する際に、画素電極を構成する図示しない導電膜をパターンニングする際に、画素電極141のパターンと配線142のパターンとを同時に形成するとによって実現される。

【0027】同時に形成されたどうかは、断面の電子顕微鏡写真を撮影し、同一層上に画素電極と配線とは存在するかどうか、またその膜厚は同じかどうか、また不純物測定等によりそれらに材質が同じかどうかを計測することによって判断することができる。

【0028】

【発明の実施の形態】図6に示すように反射型の液晶パネルにおいて、画素マトリクスに配置される反射電極141の形成と同時に周辺回路の配線142を形成する。

【0029】こうすることで、周辺回路を構成する配線を別工程で設けることができ、作製工程と構成を簡略化することができる。

【0030】さらにまた、反射電極は低抵抗を有する金属材料でもって構成することができるので、同時に形成される周辺駆動の配線も低抵抗なものとして形成することができる。

【0031】

【実施例】

【実施例1】図1乃至図7に本実施例の作製工程の概略を示す。ここでは、反射型のアクティブマトリクス型の液晶表示装置において、画素マトリクス回路に配置されるNチャネル型のTFTと周辺駆動回路を構成するCMOS回路とを同時に作製する例を示す。

【0032】まず図1に示すようにガラス基板(または石英基板)101を用意する。基板の平坦性が悪い場合は、その表面に酸化珪素膜や酸化窒化珪素膜を成膜しておくことが好ましい。

【0033】基板としては、一般に絶縁表面を有する基板を利用することができる。絶縁表面を有する基板としては、ガラス基板、石英基板、ガラス基板や石英基板の表面に酸化珪素膜等の絶縁膜が成膜された基板、シリコンウエハー等の半導体基板の表面に酸化膜を成膜した基板等を挙げることができる。

【0034】基板101を用意したら、その表面に減圧熱CVD法で図示しない非晶質珪素膜を50nmの厚さに成膜する。

【0035】次に加熱処理により非晶質珪素膜を結晶化させ、結晶性珪素膜を得る。結晶化の方法としては、レーザー光の照射や強光の照射を利用してもよい。

【0036】次に得られた結晶性珪素膜をパターンニングすることにより、102、103、104で示される島状のパターンを得る。この島状のパターンがTFTの活性層となる。

【0037】ここで、102が画素マトリクス回路に配

置されるNチャネル型TFT (NTFTと記す)の活性層となる。また、103が周辺駆動回路を構成するCMOS回路を構成するPチャネル型TFT (PTFTと記す)の活性層となる。また、104が周辺駆動回路を構成するCMOS回路を構成するNチャネル型TFT (PTFTと記す)の活性層となる。

【0038】こうして図1に示す状態を得る。次に図2に示すようにゲイト絶縁膜として酸化珪素膜105を100nmの厚さにプラズマCVD法でもって成膜する。

【0039】さらにアルミニウム膜をスパッタ法でもって400nmの厚さに成膜し、さらにその膜をパターンニングすることにより、106、107、108で示すパターンを形成する。このパターンが各TFTのゲイト電極(およびそこから延在したゲイト配線)となる。

【0040】106、107、108で示すアルミニウムパターンを形成したら、その表面に陽極酸化膜109、110、111を60nmの厚さに成膜する。

【0041】この陽極酸化膜は、各アルミニウムパターンを電氣的に絶縁保護し、また物理的に保護する機能を有している。

【0042】次にPTFTの上部を図示しないレジストマスクで覆い、P(燐)イオンのドーピングをプラズマドーピング法でもって行う。

【0043】P(燐)イオンのドーピングを行うことで、画素マトリクスに配置されるNTFTのソース領域112、チャネル領域113、ドレイン領域114が自己整合的に形成される。また、周辺駆動回路のCMOS回路を構成するNTFTのソース領域120、チャネル領域119、ドレイン領域118が自己整合的に形成される。

【0044】次にPTFTの上部を覆ったレジストマスクを除去し、さらにNTFTの上部にレジストマスクを配置する。この状態でさらにB(ボロン)のドーピングをプラズマドーピング法でもって行う。

【0045】この工程において、周辺駆動回路のCMOS回路を構成するPTFTのソース領域115、チャネル領域116、ドレイン領域117が自己整合的に形成される。

【0046】ドーピングが終了したら、図示しないレジストマスクを除去する。そして、レーザー光の照射を行い、不純物がドーピングされた領域の結晶性の改善とドーパント元素の活性化とを行う。

【0047】こうして図2に示す状態を得る。

【0048】次に図3に示すように層間絶縁膜として酸化珪素膜121をプラズマCVD法により、500nmの厚さに成膜する。

【0049】さらにコンタクトホールを形成を行い、図示しないチタン膜とアルミニウム膜とチタン膜との積層膜をスパッタ法でもって成膜する。

【0050】ここで、このチタン膜の膜厚は各100nm

m、アルミニウム膜の膜厚は400nmとする。チタン膜は、半導体や電極との電氣的なコンタクトを良好なものとするために機能する。

【0051】次に上記チタン膜とアルミニウム膜とチタン膜との積層膜をパターンニングすることにより、図3に示すような状態を得る。

【0052】図3には、画素マトリクスに配置されるNTFTのソース電極を構成するチタン膜122、アルミニウム膜123、チタン膜124でなるの積層膜パターンが示されている。

【0053】また、画素マトリクスに配置されるNTFTのドレイン電極を構成するチタン膜125、アルミニウム膜126、チタン膜127でなる積層膜パターンが示されている。

【0054】また、CMOS回路のPTFTのソース電極を構成するチタン膜128、アルミニウム膜129、チタン膜130でなる積層膜パターンが示されている。

【0055】また、CMOS回路のPTFTのドレイン電極を構成するチタン膜131、アルミニウム膜132、チタン膜133でなる積層膜パターンが示されている。

【0056】また、CMOS回路のNTFTのドレイン電極を構成するチタン膜134、アルミニウム膜135、チタン膜136でなる積層膜パターンが示されている。

【0057】CMOS回路のNTFTのドレイン電極を構成するチタン膜131、アルミニウム膜132、チタン膜133でなる積層膜パターンが示されている。

【0058】こうして図3に示す状態を得る。

【0059】次に図4に示す窒化珪素膜137をプラズマCVD法でもって50nmの厚さに成膜する。この窒化珪素膜137は、補助容量の誘電体膜を構成する。

【0060】次に図示しないチタン膜をスパッタ法でもって150nmの厚さに成膜する。そしてこの膜をパターンニングすることにより、補助容量用の電極パターン138を形成する。

【0061】補助容量は、チタン膜122、アルミニウム膜123、チタン膜124で構成される電極とチタン電極138との間に誘電体膜として窒化珪素膜137を挟んだものとして構成される。

【0062】ここで窒化珪素膜は誘電率が大きく、またその厚さを薄くできるので、大きな容量を稼ぐことができる。

【0063】プロジェクション用の液晶パネルのようにその大きさが2インチ対角以下というような小さなものとなる場合には、画素の面積も小さくなり、一般に補助容量を稼ぐことが困難になる。

【0064】しかし、本実施例に示すような構造で容量を形成することで上記困難性を解決することができる。

【0065】図4に示す状態を得たら、図5に示すよう

に層間絶縁膜としてポリイミド樹脂膜139を成膜する。ポリイミド樹脂膜139の膜厚は、最大で $1\mu\text{m}$ となるように調整する。

【0066】ポリイミド以外には、ポリアミド、ポリイミドアミド、エポキシ、アクリル等の樹脂を利用することができる。

【0067】次に 150nm 厚のチタン膜をスパッタ法でもって成膜し、それをパターンニングすることにより、図5の140で示されるパターンを形成する。このパターンは、その上方に形成される画素電極及び配線と、下

方に配置されるTFTや配線と、が互いに電氣的に干渉することを防ぐためのシールドパターンとして機能する。

【0068】また、このシールドパターン140の駆動回路上方の部分は、周辺駆動回路に対して光照射が行われないようにする遮光膜として機能する。

【0069】こうして図5に示す状態を得る。次にコン

タクトホールを形成を行い、画素電極となるアルミニウム膜を 350nm の厚さにスパッタ法によって成膜する。

【0070】そしてこのアルミニウム膜をパターンニングすることにより、画素電極141、周辺駆動回路と画素マトリクスTFTとを接続する配線142とを同時に形成する。(図6)

【0071】この配線142は、画素電極141を構成するアルミニウム膜を利用して構成されるので、独立した作製工程を採用する必要はない。即ち、この配線142を設けるために工程を増やす必要はない。

【0072】図6に示す状態を得たら、図7に示すように配向膜として機能するポリイミド樹脂でなる配向膜143を 150nm の厚さに成膜する。そして配向処理を施しTFTでなる回路が形成された一方の基板が完成する。

【0073】図7に示す状態を得たら、他方のガラス基板(または石英基板)を用意し、図7に基板(TFT基板と称する)と貼り合わせる。そして、2枚の基板の隙間に液晶を充填し、図8に示す反射型のアクティブマトリクス型液晶パネルを得る。

【0074】図8に示す液晶パネルにおいて、147が対向基板(TFT側基板に対しての対向基板)であり、146がITOでもって構成された対向電極(TFT基板側に設けられた画素電極141に対向する電極)である。

【0075】148は封止材(シール材)であって、基板147と基板101とを貼り合わせる機能を有している。また、液晶材料が外部に漏れ出ないように封止する機能を有している。

【0076】144は液晶材料である。反射型の液晶パネルの場合は、複屈折モードでの表示が行われる。即ち、基板に平行な方向に配向した液晶分子層中を基板面

に垂直な方向に進行する光の偏波面が垂直偏波～楕円偏波～円偏波～楕円偏波～水平偏波と変化する現象を利用して表示を行う。

【0077】〔実施例2〕本実施例では、本発明を利用した液晶パネルを備えた装置の例を示す。このような装置としては、ビデオカメラ、デジタルスチルカメラ、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話等)などが挙げられる。

【0078】図9(A)に示すのは、モバイルコンピュータであり、本体2001、カメラ部2002、受像部2003、操作スイッチ2004、反射型の液晶パネル2005で構成される。

【0079】図9(B)はヘッドマウントディスプレイであり、本体2101、反射型の液晶パネル2102、バンド部2103で構成される。

【0080】図9(C)はフロントプロジェクション型の液晶パネルである。この装置は、光源2202からの光を光学系2204で反射型の液晶表示装置2203に導き、反射型の液晶パネル2203で光学変調された画像を光学系2204で拡大してスクリーン2205に投影するものである。

【0081】この形式のプロジェクションは、本体2201とは別にスクリーン2205が必要となる。

【0082】図9(D)は携帯電話であり、本体2301、音声出力部2302、音声入力部2303、反射型の液晶パネル2304、操作スイッチ2305、アンテナ2306で構成される。

【0083】図9(E)はビデオカメラであり、本体2401、反射型の液晶表示装置2402、音声入力部2403、操作スイッチ2404、バッテリー2405、受像部2406で構成される。

【0084】図9(F)は、リアプロジェクション型と呼ばれる装置である。この装置は、光源2502から発せられる光を偏光ビームスプリッタ2504で反射型の液晶パネル2503で光学変調し、それをリフレクター2505、2506で反射してスクリーン2507に投影する。この形式の装置は、本体2501にスクリーン2507が配置されている。

【0085】〔実施例3〕本実施例は、実施例1に示す構成において、ゲイト電極としてシリコンを主成分とした材料を用いる場合の例である。

【0086】図10に本実施例の概略を示す。ここでは、ゲイト電極1001、1002、1003として、一導電型を付与したシリコン材料を用いている。

【0087】ゲイト電極を構成する他の材料としては、各種シリサイドや金属材料を用いることができる。

【0088】

【発明の効果】本明細書で開示する発明を利用することで、アクティブマトリクス回路と周辺駆動回路とを一体

化構造において、周辺駆動回路に必要とされる多層配線をより簡便に実現することができる。

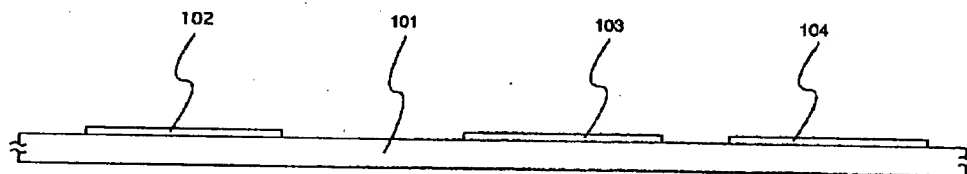
【図面の簡単な説明】

- 【図1】 液晶パネルの作製工程を示す断面図。
 【図2】 液晶パネルの作製工程を示す断面図。
 【図3】 液晶パネルの作製工程を示す断面図。
 【図4】 液晶パネルの作製工程を示す断面図。
 【図5】 液晶パネルの作製工程を示す断面図。
 【図6】 液晶パネルの作製工程を示す断面図。
 【図7】 液晶パネルの作製工程を示す断面図。
 【図8】 液晶パネルの作製工程を示す断面図。
 【図9】 発明を利用した液晶パネルを備えた装置の例を示す図。
 【図10】 他の実施例を示す図。
 【符号の説明】
 101 ガラス基板（または石英基板）
 102 画素マトリクス回路に配置されるN TFTの活性層
 103 周辺駆動回路の配置されるPTFTの活性層
 104 周辺駆動回路の配置されるNTFTの活性層
 112 ドレイン領域
 113 チャンネル領域
 114 ソース領域
 115 ソース領域
 116 チャンネル領域
 117 ドレイン領域
 118 ドレイン領域

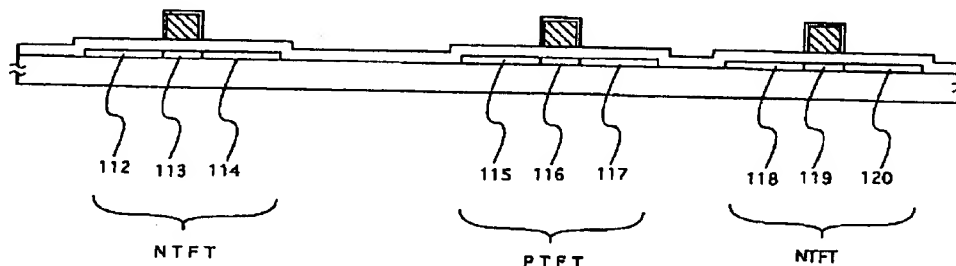
- 119
120
122
123
124
125
126
127
128
129
130
131
132
133
134
135
136
137
138
139
140
141
142
143
144
145
146
147
148

- チャンネル領域
 ソース領域
 チタン膜
 アルミニウム膜
 チタン膜
 チタン膜
 アルミニウム膜
 チタン膜
 チタン膜
 アルミニウム膜
 チタン膜
 チタン膜
 アルミニウム膜
 チタン膜
 チタン膜
 アルミニウム膜
 チタン膜
 窒化珪素膜
 チタン膜
 ポリイミド樹脂膜
 チタン膜
 画素電極（アルミニウム膜）
 配線（アルミニウム配線）
 配向膜（ポリイミド樹脂膜）
 液晶材料
 配向膜（ポリイミド樹脂膜）
 対向電極（ITO電極）
 対向ガラス基板
 封止材料

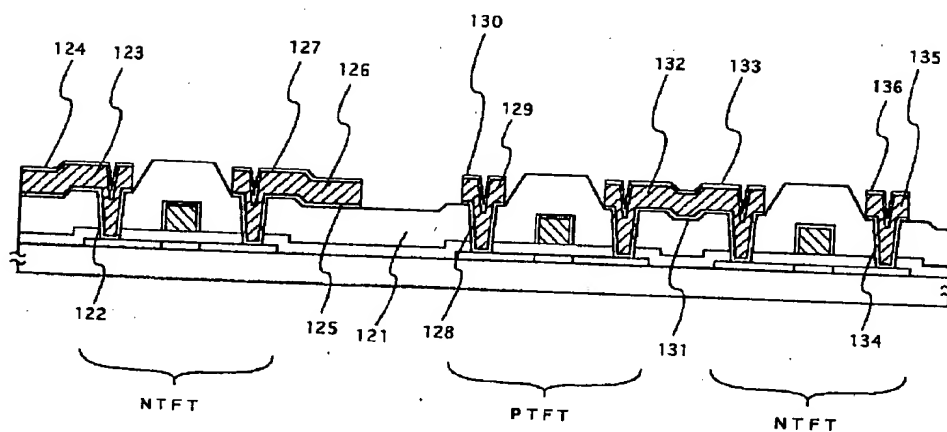
【図1】



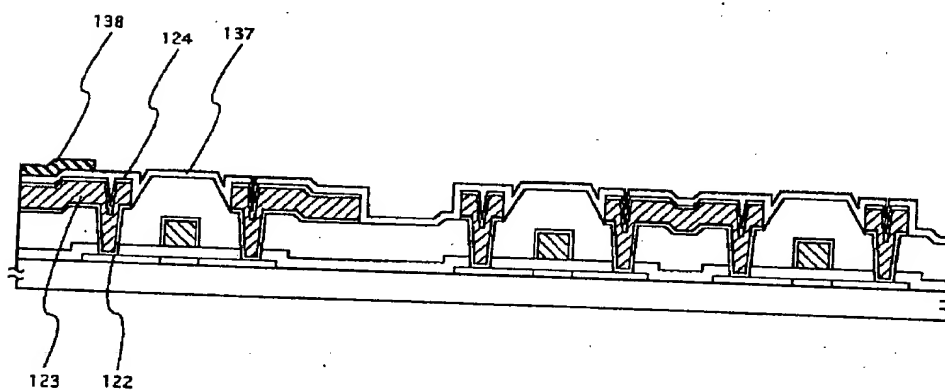
【図2】



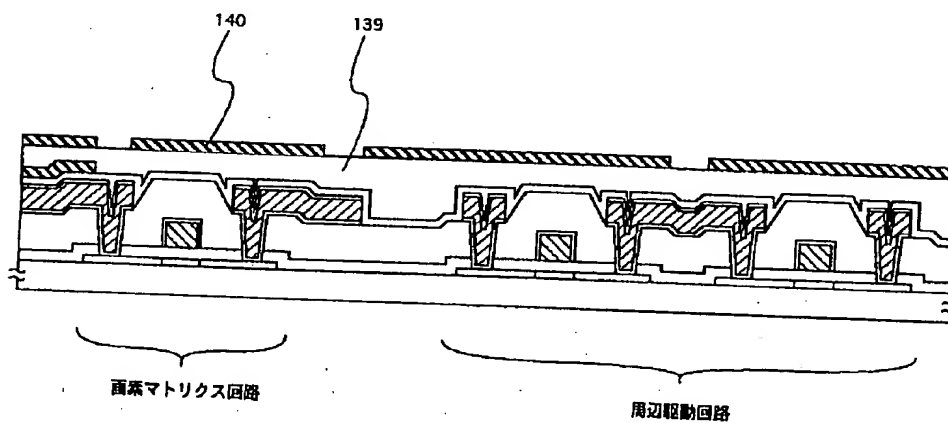
【図3】



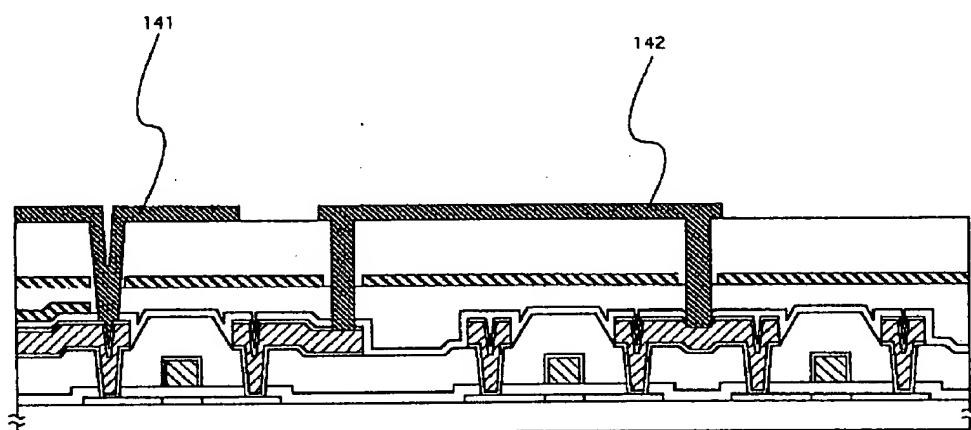
【図4】



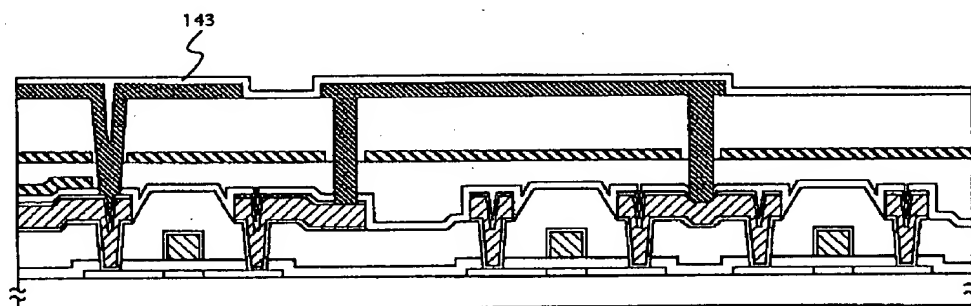
【図5】



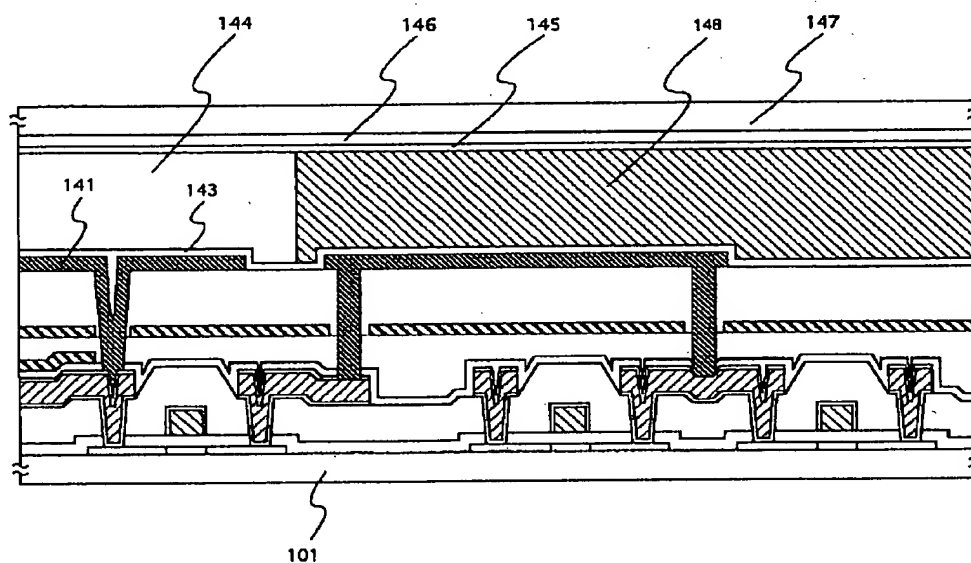
【図6】



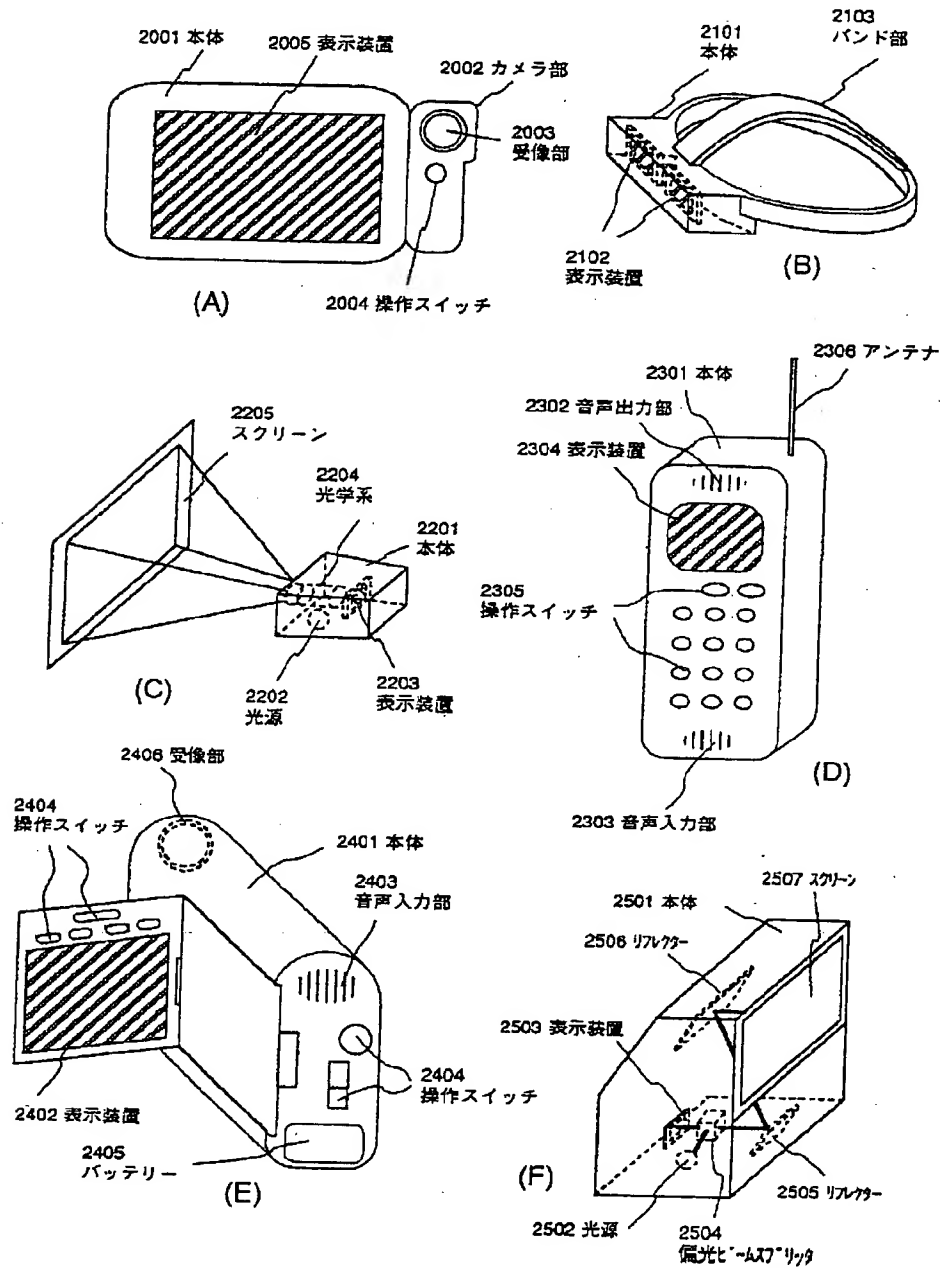
【図7】



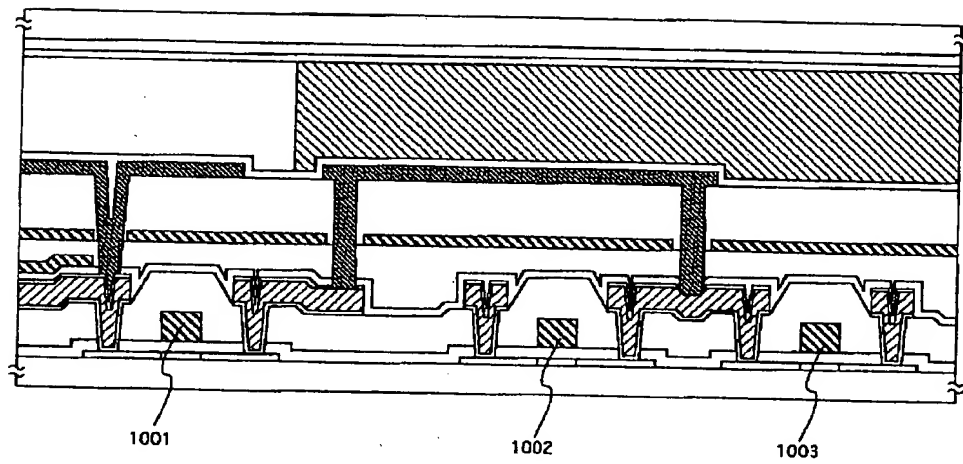
【図8】



【図9】



【図10】



フロントページの続き

(72)発明者 寺本 聡

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内